

(12) **FASCÍCULO DE PATENTE DE INVENÇÃO**

(22) Data de pedido: **2010.09.06**

(30) Prioridade(s):

(43) Data de publicação do pedido: **2012.07.10**

(45) Data e BPI da concessão: /

(73) Titular(es):

**INESC-ID INSTITUTO DE ENGENHARIA DE
SISTEMAS E COMPUTADORES INVESTIGAÇÃO
E DESENVOLVIMENTO DE LISBOA
RUA ALVES REDOL 9, APARTADO 13069 1000-
029 LISBOA PT**

(72) Inventor(es):

**JORGE MANUEL DOS SANTOS RIBEIRO FERNANDES PT
CRISTIANO LAZZARI PT
PAULO FERREIRA GODINHO FLORES PT
JOSÉ CARLOS ALVES PEREIRA MONTEIRO PT**

(74) Mandatário:

(54) Epígrafe: **TABELA MULTI-VALOR PARA DISPOSITIVOS LÓGICOS PROGRAMÁVEIS**

(57) Resumo:

A PRESENTE INVENÇÃO CONSISTE NUM NOVO PRODUTO PARA IMPLEMENTAÇÃO DE TABELAS MULTI-VALOR PARA DISPOSITIVOS LÓGICOS PROGRAMÁVEIS QUE TEM COMO ENTRADA E SAÍDA SINAIS DIGITAIS MULTI-VALOR ENQUANTO O PROCESSAMENTO INTERNO É REALIZADO POR FUNÇÕES LÓGICAS DIGITAIS BINÁRIAS. O NOVO PRODUTO AQUI PROPOSTO CONSISTE EM UTILIZAR CIRCUITOS DE NATUREZA ANALÓGICA PARA FAZER A CONVERSÃO DE SINAIS DIGITAIS MULTI-VALOR EM SINAIS DIGITAIS BINÁRIOS, UTILIZANDO TECNOLOGIAS MOS CONVENCIONAIS COM APENAS UM VALOR DE VTH E UM VALOR DE TENSÃO DE ALIMENTAÇÃO. OS SINAIS BINÁRIOS ATUAM NOS INTERRUPTORES DA TABELA QUE PERMITEM SELECIONAR UM DOS MULTI-VALORES LÓGICOS A COLOCAR NA SAÍDA, MAXIMIZANDO O SEU DESEMPENHO POR GARANTIR NÍVEIS DE TENSÃO MÁXIMOS. ESTE PRODUTO PERMITE A REALIZAÇÃO SIMPLIFICADA DE DISPOSITIVOS LÓGICOS CONFIGURÁVEIS (DLC) PRESENTES EM AGREGADOS LÓGICOS PROGRAMÁVEIS (ALP) NÃO BINÁRIOS.

Resumo

TABELA MULTI-VALOR PARA DISPOSITIVOS LÓGICOS PROGRAMÁVEIS

A presente invenção consiste num novo produto para implementação de tabelas multi-valor para dispositivos lógicos programáveis que têm como entrada e saída sinais digitais multi-valor enquanto o processamento interno é realizado por funções lógicas digitais binárias.

O novo produto aqui proposto consiste em utilizar circuitos de natureza analógica para fazer a conversão de sinais digitais multi-valor em sinais digitais binários, utilizando tecnologias MOS convencionais com apenas um valor de V_{th} e um valor de tensão de alimentação. Os sinais binários actuam nos interruptores da tabela que permitem seleccionar um dos multi-valores lógicos a colocar na saída, maximizando o seu desempenho por garantir níveis de tensão máximos.

Este produto permite a realização simplificada de dispositivos lógicos configuráveis (DLC) presentes em agregados lógicos programáveis (ALP) não binários.

Descrição

TABELA MULTI-VALOR PARA DISPOSITIVOS LÓGICOS PROGRAMÁVEIS

Domínio Técnico da Invenção

Engenharia Electrotécnica - Electrónica.

Estado da Arte

Enquadramento da invenção: Nota introdutória

A lógica multi-valor (MVL, do inglês *multiple-valued logic*) tem sido seriamente considerada nos últimos anos como alternativa à lógica binária por permitir representar a informação com mais de dois níveis discretos num único fio.

As vantagens principais de MVL são: (i) reduzir o número de interconexões de forma significativa o que permite obter circuitos mais compactos. Assim, as interconexões são em menor número e mais curtas, com grande impacto na redução das capacidades parasitas, o que permite atingir uma menor dissipação de energia global; (ii) a utilização de sinais com mais do que dois níveis lógicos reduz o valor médio da amplitude das comutações reduzindo também o consumo.

As desvantagens, das implementações existentes, dos dispositivos baseados na MVL são (iii) circuitos electrónicos mais complexos, em geral com maior consumo e desadequadas à implementação nas actuais tecnologias CMOS comerciais, e (iv) níveis lógicos com menor margem de ruído.

A evolução das tecnologias de silício, com a redução acentuada das dimensões dos transistores, não acompanhada do mesmo factor pelas reduções das dimensões das pistas de metal, faz com que as capacidades das interconexões sejam dominantes por comparação com as capacidades dos dispositivos. Este efeito é ainda mais acentuado em circuitos programáveis com elevada complexidade de interconexão face às unidades lógicas de processamento.

Assim, as soluções existentes para a implementação de MVL têm vindo a tornarem-se mais competitivas, apresentando ainda diversas limitações que se pretendem resolver com a presente invenção.

Enquadramento da invenção: Técnicas existentes

A MVL foi usada para implementar diversos blocos básicos digitais, como somadores [1] e multiplicadores [2], bem como em dispositivos programáveis [3, 4]. As principais desvantagens dessas implementações de MVL são: (i) requererem a utilização no mesmo circuito de transistores MOS com tensão de limiar (V_{th} - *threshold voltage*) diferentes [5]; (ii) utilizar diferentes tensões de alimentação no mesmo circuito [6]; (iii) implementar a função pretendida com circuitos a funcionar em modo de corrente [7]; (iv) utilizar elementos de circuito com característica tensão-corrente não monotónica [8, 9]. Qualquer destas exigências torna estes circuitos interessantes do ponto de vista científico mas sem utilidade prática uma vez que (i) os processos comerciais de fabricação de circuitos integrados em tecnologia CMOS não dispõem de transistores com diferentes V_{th} ; (ii) do ponto de vista de circuito é indesejável ter várias tensões de alimentação, em particular com valores muito díspares, inaceitáveis nas novas tecnologias sub-nanométricas; (iii)

a implementação em modo corrente implica consumo estático de energia, também indesejável para aplicações com interesse prático; (iv) o uso de elementos de circuito não convencionais indisponíveis em tecnologias comerciais CMOS.

Sem perda de generalidade apresenta-se como exemplo os circuitos representados nas Figuras 2-4 da referência [3] em que a célula quaternária (Fig. 4 de [3]) utilizada na implementação da tabela multi-valor (Fig. 2 de [3]) usa inversores lógicos CMOS com topologia convencional (Fig. 3 de [3]), mas em que os transistores têm que ter diferentes tensões de limiar (V_{th}).

Nesta proposta apresentamos uma nova implementação para tabelas multi-valor com base numa estrutura analógica simples e eficiente capaz de lidar com os sinais lógicos multi-valor, podendo ser implementada em tecnologias comerciais de silício.

Descrição sumária das figuras

A invenção aqui proposta é descrita sobre um conjunto de figuras que aqui se referem sumariamente. Sem perda de generalidade vai utilizar-se o caso particular de lógica multi-valor com 4 (quatro) valores lógicos, que referiremos como lógica quaternária.

Na Figura 1 é representado um Dispositivo Lógico Configurável (DLC) para lógica quaternária com 2 entradas e 16 valores de configuração.

Na Figura 2 apresenta-se um decodificador quaternário (Descodificador-Q), usado no DLC da Figura 1, onde se processa a transformação do sinal quaternário em vários sinais binários.

Na Figura 3 representa-se a tabela de verdade do Descodificador-Q e as características de transferência típicas do circuito para cada uma das saídas.

Na Figura 4 apresenta-se a distribuição dos níveis de tensão de referência e níveis lógicos de acordo com a tensão de alimentação do circuito.

Na Figura 5 apresentam-se, a nível de transistor, os comparadores usados no andar de entrada do Descodificador-Q, representado na Figura 2, assim como as suas características de transferência.

Na Figura 6 apresenta-se um exemplo das formas de onda resultantes do funcionamento do Descodificador-Q.

Descrição pormenorizada da invenção

Nesta descrição é considerado um valor lógico não binário (multi-valor; MVL), qualquer valor lógico com mais de dois níveis discretos. O número de níveis lógicos é definido em tempo de projecto, não podendo ser alterado dinamicamente, após a implementação.

O dispositivo lógico configurável (DLC) é capaz de realizar funções não binárias de acordo com uma configuração previamente estabelecida. A configuração do DLC define a função lógica realizada pelo dispositivo. O número de valores não binários de configuração é b^k sendo k o número de entradas do DLC e b o número de níveis lógicos.

Sem perda de generalidade, a Figura 1 exemplifica a implementação de um DLC, com duas variáveis de entrada quaternárias (4 níveis lógicos) (1), que permitem seleccionar um dos $4^2=16$ valores de configuração (2), através da activação selectiva de apenas uma porta de passagem em cada nível do DLC (3) para a saída (4). Note-se que o DLC é composto por dois blocos distintos, nomeadamente o descodificador quaternário-binário (5) e um conjunto de portas de passagem (3) agrupados em dois níveis.

Uma vez que as portas de passagem são controladas por sinais binários, o Descodificador-Q (5) faz a conversão de sinais multi-valor para sinais binários. O Descodificador-Q é composto por uma entrada multi-valor e duas ou mais saídas binárias, sendo o número de saídas definido pelo número de níveis lógicos do sinal de entrada.

Na figura 2 representa-se o Descodificador-Q, ao nível de porta lógica, para o caso de um sinal de entrada quaternário.

O Descodificador-Q tem um andar de entrada (6) composto por três comparadores (7) com níveis de transição diferentes que são usados para obter as quatro saídas, com valor binário, e suas complementares (8). Estas saídas são obtidas por um circuito combinatório realizado com lógica convencional (9) e controlam as portas de passagem (3).

As saídas do Descodificador-Q indicam o nível lógico quaternário do sinal de entrada e somente uma das saídas binárias tem valor lógico binário '1', enquanto todas as outras saídas tem valor lógico binário '0' de acordo com a tabela representada na Figura 3(a). O comportamento de um descodificador quaternário é demonstrado pela Figura 3(b), onde os sinais de saída identificam o valor lógico que representa o sinal não binário aplicado à entrada do descodificador.

Um inversor CMOS convencional pode ser apresentado como um comparador com uma tensão de referência interna, normalmente metade da tensão de alimentação ($1/2 V_{DD}$) para maximizar as margens de ruído. Para um dispositivo baseado em lógica quaternária, três comparadores são necessários, na qual três tensões são usadas como referência, nomeadamente $1/6 V_{DD}$, $3/6 V_{DD}$ e $5/6 V_{DD}$ (Figura 4) para maximizar as margens de ruído, que correspondem respectivamente, em lógica quaternária, às transições 0_4-1_4 , 1_4-2_4 , 2_4-3_4 , da Figura 3. O Descodificador-Q proposto

utiliza comparadores com auto-referência do valor de transição no andar de entrada (6) e lógica binária convencional na restante parte do circuito. Os comparadores de entrada CP e CN da Figura 2 do Descodificador-Q são estruturas analógicas com auto-referência nos valores de $1/6 VDD$ e $5/6 VDD$, respectivamente. Estes comparadores utilizam um transistor em configuração de "diodo" como ilustrado na Figura 5 (a)-(b), (10)-(11), com a porta ligada ao dreno para permitir ter tensão de transição próximas de GND e de VDD, respectivamente (Figura 5(c)). Esta alteração ao nível de circuito modifica completamente o desempenho do inversor CMOS convencional permitindo a realização de circuitos quaternários eficientes e competitivos com DLC implementados com lógica binária.

Os comparadores representados na Figura 5 herdam as boas características dos inversores CMOS convencionais: ganho elevado, consumo estático limitado às perdas dos dispositivos, níveis lógicos próximos das tensões de alimentação, transistores de dimensões mínimas logo menor tempo de atraso. Além destas, permitem ter a característica de transferência com valores de transição muito afastados de metade da tensão de alimentação, especificação determinante em diversas aplicações de MVL. Esta característica é impossível de obter mesmo com o dimensionamento exagerado das dimensões de um dos transistores do inversor CMOS convencional face ao outro. Esta limitação, agora contornada com a presente invenção, era o motivo de nas referências [5] e [6] se tentar resolver o problema com recurso a diferentes tensões de alimentação ou transistores com diferentes V_{th} com os inconvenientes já indicados.

Aplicação do método proposto

A título de exemplo e de ilustração, o circuito proposto nesta invenção foi projectado e simulado em tecnologia CMOS UMC de 130 nm. As características de transferência obtidas para os comparadores do andar de entrada (6) são apresentadas na Figura 6(a). As simulações são realizadas com modelos mais complexos para os transistores (considerando regiões de inversão forte, moderada e fraca) do que aqueles considerados no esboço da Figura 3. No entanto, as diferenças nas características de transferência agora obtidas são em nosso favor, dado que o VOH e o VOL dos comparadores propostos ficam mais perto das tensões de alimentação, VDD e GND, respectivamente.

O restante circuito combinatório (9) para selecção de apenas uma porta de transmissão é feito usando células de lógica binária convencionais com transistores dimensionados com dimensões mínimas e para ter a transição em $VDD/2=0.6V$. O acréscimo ligeiro do número de portas lógicas necessário, quando comparado com uma implementação totalmente binária e com a mesma funcionalidade é compensado pela redução no consumo de energia necessária para actuar um menor número de portas de transmissão (menor capacidade de carga). Embora, os circuitos quaternários tenham margens de ruído inerentemente inferiores, uma simulação de Monte Carlo com 500 casos, em análise DC e em análise no tempo mostra que as variações são toleráveis e não comprometem o bom funcionamento do circuito. Em análise DC, os desvios são inferiores a 90 mV para todos os pontos de transição crítica $Q0$, aux, e $\overline{Q3}$ (Figura 6(a) mostra os desvios do pior caso), havendo ainda cerca de 100 mV de margem de segurança para outras fontes de perturbação. Assim, os valores de tensão para representar os valores lógicos foram ajustados para o ponto médio entre a transição de pior caso

(Figura 6(b)). Na análise no tempo, o atraso do caminho crítico é de 180 ps, em condições normais, e no pior caso é inferior a 245 ps (Figura 6(c)). O consumo médio de energia do decodificador a 100 MHz é de 11,8 μ W.

Estes resultados demonstram a exequibilidade da solução proposta assim como a obtenção de resultados favoráveis em comparação com uma realização convencional em lógica binária para a mesma funcionalidade.

Lisboa, 21 de Julho de 2011

Referências

- [1]. A. Gonzalez, P. Mazumder, "Multiple-valued signed digit adder using negative differential resistance devices" IEEE Transactions on Computers 47(9), pp-947-959, Sep. 1998.
- [2]. T. Hanyu, M. Kameyama, "A 200 MHz pipelined multiplier using 1.5 v-supply multiple-valued mos current-mode circuits with dual-rail source-coupled logic", IEEE Journal of Solid-State Circuits 30(11), pp-1239-1245, Nov. 1995.
- [3]. R. da Silva, C. Lazzari, H. Boudinov, L. Carro, "CMOS voltage-mode quaternary look-up tables for multi-valued FPGAs" Microelectronics Journal 40(10) pp.1466-1470 2009
- [4]. Z. Zilic, Z. Vranesic, "Multiple-valued logic in FPGAs", Proceedings of the 36th Midwest Symposium on Circuits and Systems. vol.2, pp.1553-1556, Aug. 1993.

- [5]. Yukio Yasuda, Yasunobu Tokuda, Shigeaki Zaima, Kansa Pak, Tetsuro Nakamura, and Akira Yoshida, "Realization of Quaternary Logic Circuits by n-Channel MOS Devices", *IEEE Journal of Solid-State Circuits*, Vol. sc-21, No. 1, February 1986.
- [6]. Ricardo Cunha G. da Silva, Henri Boudinov, and Luigi Carro, "A Novel Voltage-Mode CMOS Quaternary Logic Design", *IEEE Transactions on Electron Devices*, vol. 53, no. 6, pp. 1480-1483, June 2006.
- [7]. W.-S. Chu and W. Current, "Current-mode CMOS quaternary multiplier circuit", *Electronics Letters* Vol.31 No. 4, pp. 267-268, February 1995
- [8]. P. M. Kelly, T. M. McGinnity, L. P. Maguire, "Reducing Interconnection Resource Overhead in Nanoscale FPGAs through MVL Signal Systems", *Application-Specific Systems, 16th IEEE International Conference on Architecture Processors*, pp. 282-287, July 2005.
- [9]. P. M. Kelly, T. M. McGinnity, L. P. Maguire, L. McDaid, "Exploiting binary functionality in quaternary look-up tables for increased functional density in multiple-valued logic FPGAs", *Electronics Letters* **41**, pp. 300-302, Mar. 2005.

Reivindicações

1. Realização de Tabelas multi-valor para dispositivos lógicos programáveis tendo como entrada e saída sinais digitais multi-valor com apenas um nível de portas de passagem por variável quaternária (Fig.1).
Estas tabelas são caracterizadas por terem cada variável quaternária aplicada num descodificador quaternário-binário em que somente uma das saídas binárias tem valor lógico binário "1", enquanto todas as outras saídas tem valor lógico binário "0". Estes sinais de saída binários garantem que apenas uma porta de passagem fica num estado de baixa impedância, fazendo transitar directamente o valor quaternário da entrada para a saída.
2. Realização em tecnologia CMOS de um circuito descodificador quaternário-binário com apenas uma tensão de alimentação e com transistores MOS com apenas um valor de V_{th} (Fig.2 e Fig.5). Este descodificador é caracterizado por usar comparadores com auto-referência com entrada quaternária e saída binária (Fig.2, (6) e (7)), seguido de um codificador implementado em lógica combinatória binária convencional (Fig.2, (9)).
3. Realização de um comparador com auto-referência CMOS com tensões próximas dos níveis extremos da tensão de alimentação (Fig.5 a) e b)) caracterizado por usar um transistor ligado com o dreno à porta numa configuração de "díodo" como indicado em (10), para valores de referência próximos da tensão de alimentação, e em (11), para valores de referência próximos da massa do circuito.

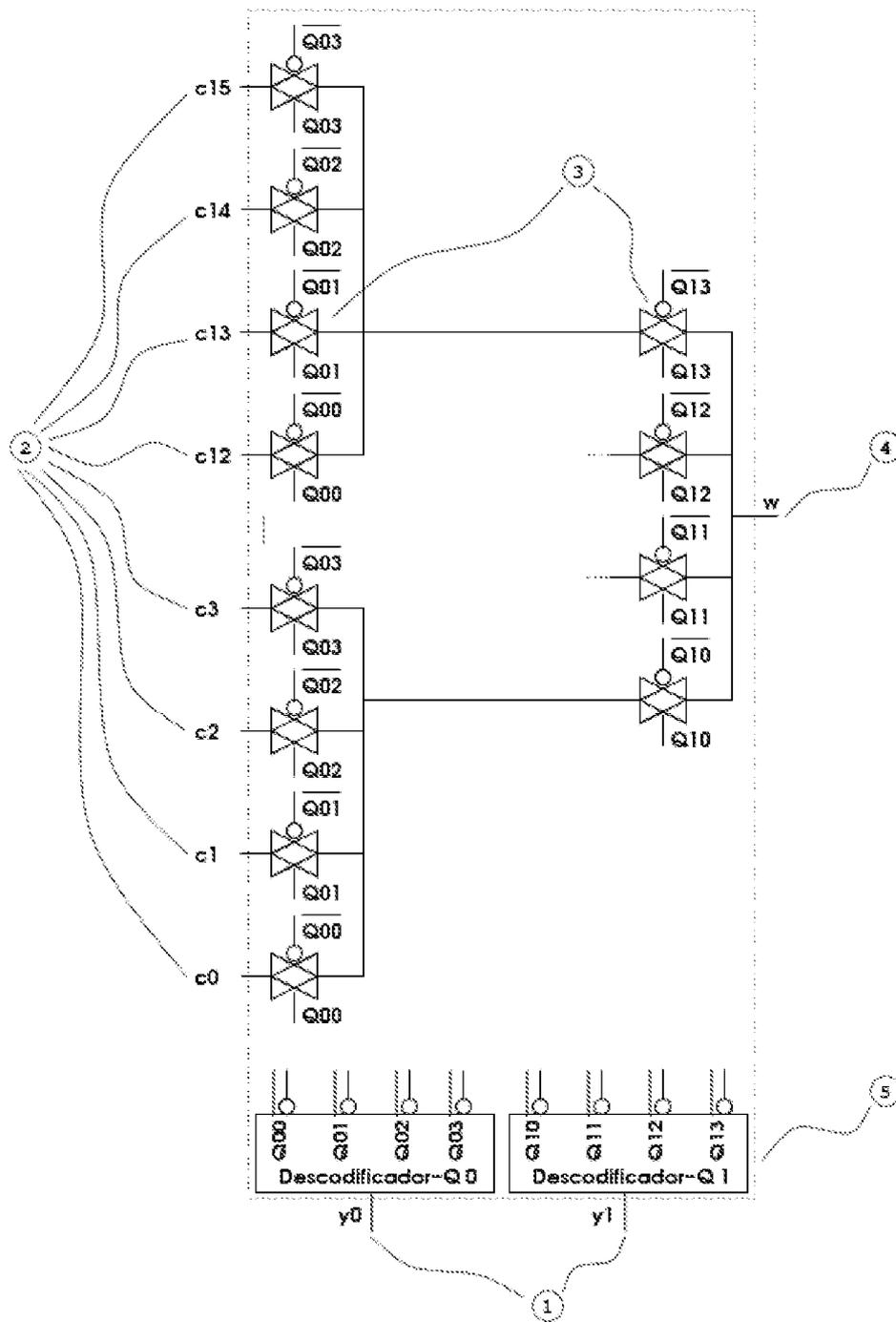


Fig. 1

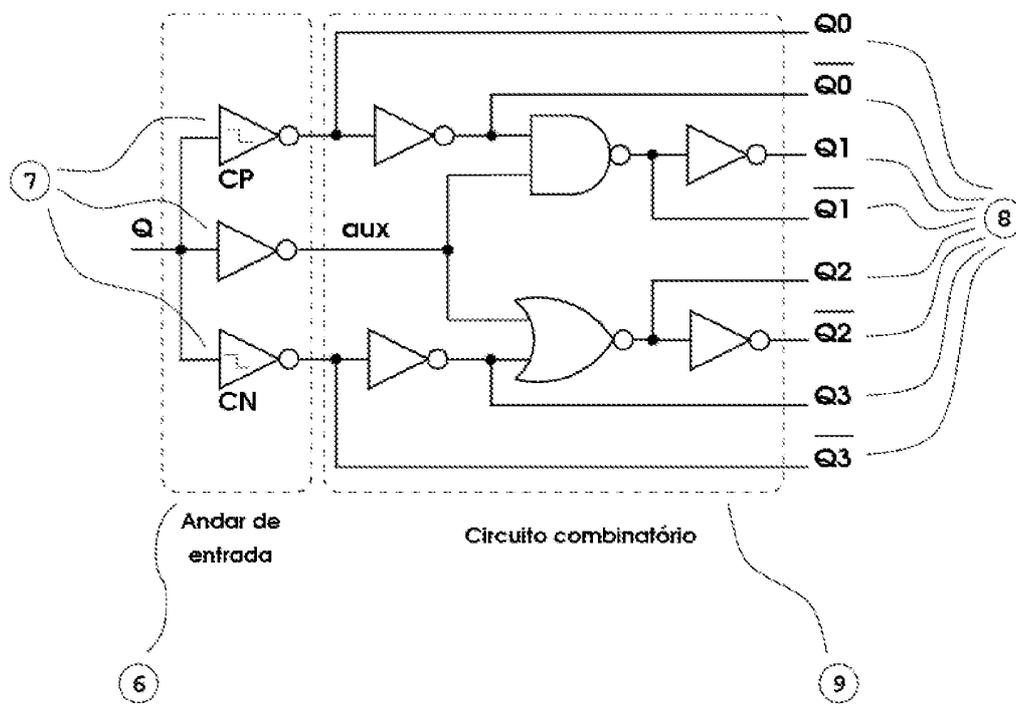
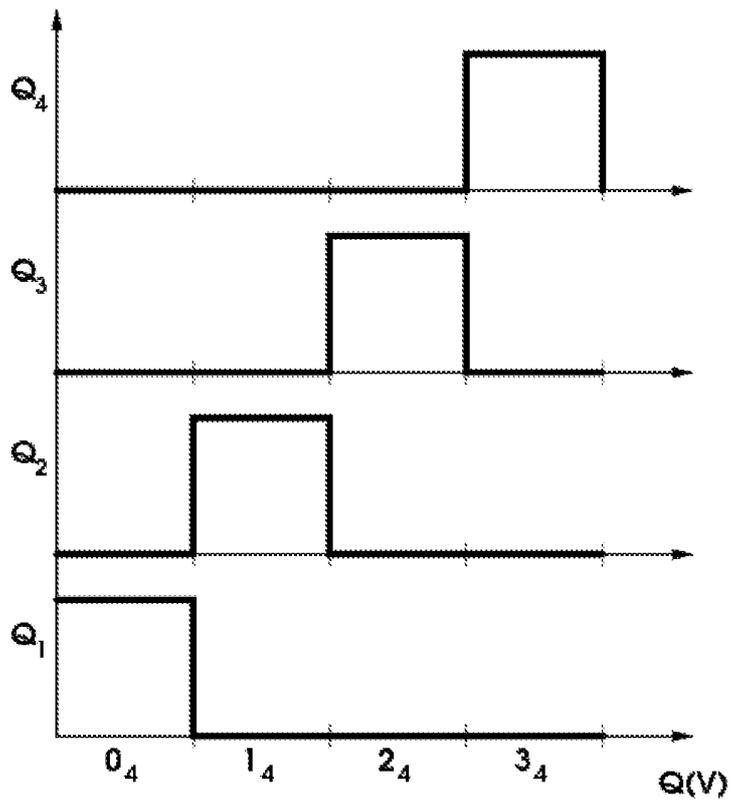


Fig. 2

Q	Q_0	Q_1	Q_2	Q_3
0_4	1_2	0	0	0
1_4	0	1_2	0	0
2_4	0	0	1_2	0
3_4	0	0	0	1_2

(a)



(b)

Figura 3

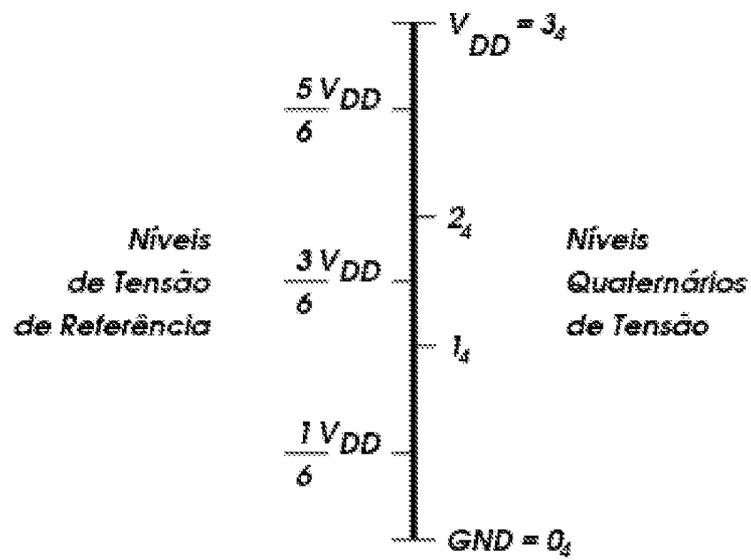
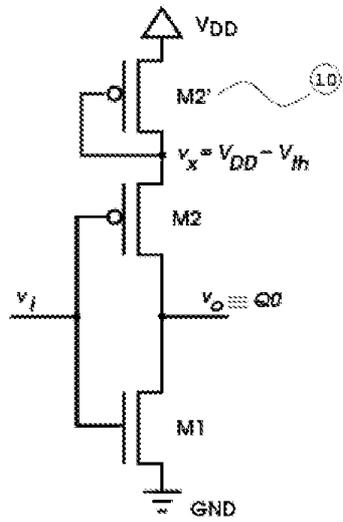
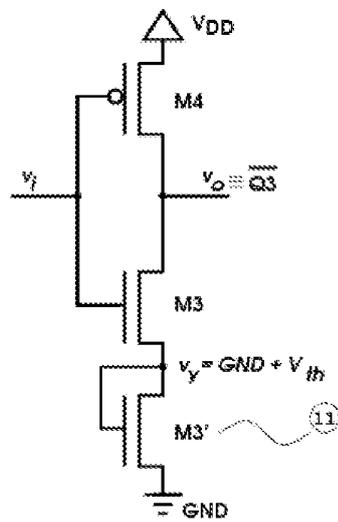


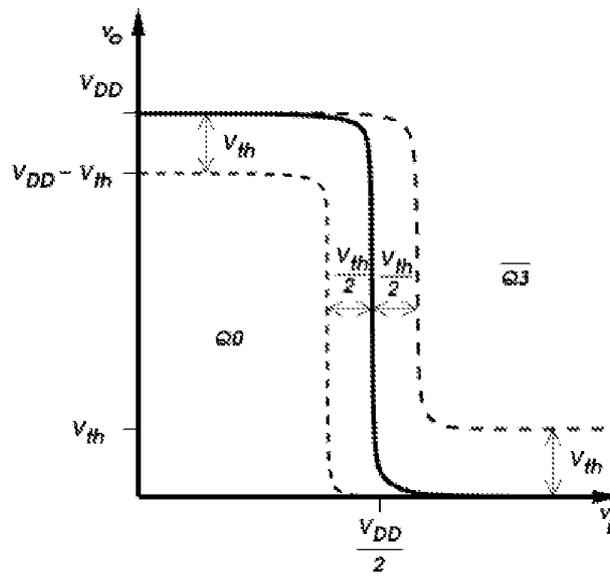
Fig. 4



(a) Comparador CP.

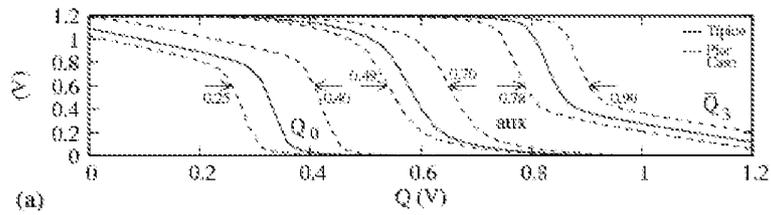


(b) Comparador CN.

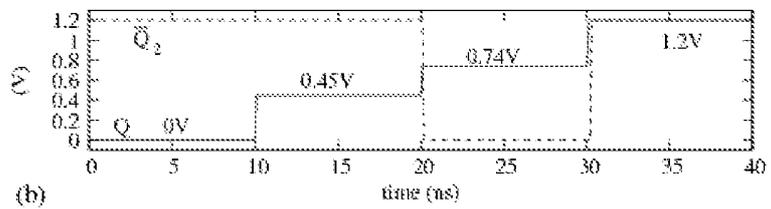


(c) Função de transferência de CP e CN.

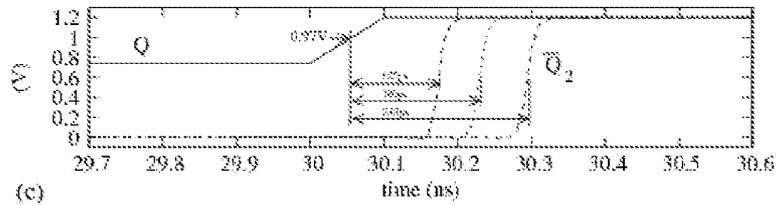
Figura 5



(a)



(b)



(c)

Figura 6