Trabalhos Finais de Curso 2004/2005

Grupo ALGOS (http://algos.inesc-id.pt)

[PDF] [PostScript] [HTML]

Conteúdo

Avaliação de ontologias

Objectivo

objectivo deste trabalho é fazer a avaliação de um conjunto de ontologias. Numa primeira fase será feito um survey sobre as diversas abordagens existentes para avaliação de ontologias, tanto do ponto de vista do domínio como do da qualidade da representação. Na segunda fase um conjunto de ontologias será avaliado usando essas abordagens. Tentar-se-á ainda encontrar novos critérios que melhorem as abordagens existentes. Descrição: O presente trabalho visa fazer avaliação de um conjunto de ontologias seguindo as abordagens existentes. Um conjunto de ontologias a usar será sobre o domínio do Dogma Central da Biologia.

Local

Este trabalho será realizado no INESC-ID, no grupo ALGOS

Contactos

Prof. Sofia Pinto (sofia@algos.inesc-id.pt) Tel: 213100388
IST/INESC-ID, R. Alves Redol N. 9, 1000 Lisboa

Anotação para a Semantic Web

Objectivo

O objectivo deste trabalho consiste em estudar o problema da anotação para a Semantic Web. Para tal o trabalho será dividido em duas partes. Na primeira parte ir-se-á (1) anotar um site usando uma ontologia base e várias ferramentas; (2) identificar um conjunto de critérios a ser usados para a comparação de vantagens e desvantagens das ferramentas de anotação existentes; (3) avaliar as ferramentas usadas segundo os critérios identificados, discutindo as suas limitações e vantagens. Na segunda parte, ir-se-á tentar desenvolver uma abordagem própria que conjugue as vantagens e solucione as limitações encontradas. Descrição: A Semantic Web é uma área emergente que tem como objectivo tornar a World Wide Web mais útil e fácil de usar. O presente trabalho visa estudar o problema da anotação para a Semantic Web, um dos desafios neste momento desta área.

Local

Este trabalho será realizado no INESC-ID, no grupo ALGOS

Contactos

Prof. Sofia Pinto (sofia@algos.inesc-id.pt)   Tel: 213100388
IST/INESC-ID, R. Alves Redol N. 9, 1000 Lisboa

Utilização de uma ontologia de Edifícios

Objectivo

Este trabalho tem como objectivo criar uma aplicação para ajudar a pesquisa de imóveis usando uma ontologia de Edifícios já existente. Outro objectivo deste trabalho consiste na extensão da ontologia de Edifícios que já está construída. Descrição: Na primeira fase ir-se-á identificar um conjunto de questões simples e um conjunto de questões complexas. As questões no primeiro conjunto podem ser respondidas directamente através de consulta à BC e as no segundo apenas podem ser respondidas através do uso de inferência. Na segunda fase, uma versão inicial da aplicação será desenvolvida, devendo ser capaz de responder às questões simples. Na terceira fase, através de uma ligação a um motor de inferência à ontologia de Edifícios, a aplicação será estendida de forma a poder ser capaz de usar conclusões tiradas a partir do conhecimento estático representado na ontologia e assim passar a poder responder às questões complexas.

Local

Este trabalho será realizado no INESC-ID, no grupo ALGOS

Contactos

Prof. Sofia Pinto (sofia@algos.inesc-id.pt) Tel: 213100388
IST/INESC-ID, R. Alves Redol N. 9, 1000 Lisboa

Utilização e extensão de uma ontologia de Tempo

Objectivo

Este trabalho tem dois grandes objectivos: o primeiro é ligar um motor de inferência a uma ontologia de Tempo para que se possam tirar conclusões do conhecimento estático representado nessa ontologia. O segundo é estender a ontologia de Tempo com outros módulos, por exemplo, sobre Ordem, Informação Espacial, Viagens, etc., com o objectivo de criar uma ontologia para um sistema de diálogo para venda e informação de bilhetes de autocarro. Descrição: Um dos problemas na área de Ontologias é compreender os processos segundo os quais uma ontologia pode ser utilizada numa aplicação. O presente trabalho visa compreender (1) os processos de utilização de ontologias em aplicações, neste caso a utilização de uma ontologia num sistema de diálogo através de um motor de inferência; (2) os processos de construção modular de ontologias.

Local

Este trabalho será realizado no INESC-ID, no grupo ALGOS

Contactos

Prof. Sofia Pinto (sofia@algos.inesc-id.pt)   Tel: 213100388
IST/INESC-ID,   R. Alves Redol N. 9, 1000 Lisboa

Sistema de Análise de Percursos Académicos

Objectivo

Criação de um sistema de análise dos percursos académicos dos alunos de licenciatura do IST

Descrição

O presente trabalho visa a criação de um sistema de exploração dos percursos académicos dos alunos de graduação do Instituto Superior Técnico, integrado no sistema Fénix. Esta exploração será feita recorrendo aos algoritmos mais avançados de descoberta de padrões sequenciais ("sequential pattern mining algorithms").
O sistema a desenvolver para além de necessitar de uma interligação aos repositórios de dados, referentes ao percurso dos alunos do IST base de dados operacional e/ou data warehouse, requer a apresentação dos padrões sequenciais descobertos, assim como a sua avaliação. É esta apresentação que representa o maior desafio deste trabalho, envolvendo o desenvolvimento de novas formas de apresentação dos padrões sequenciais descobertos, assim como o estudo de novas medidas de interesse desses padrões.
Paralelamente à criação do sistema, o presente trabalho tem por objectivo a criação da base de uma plataforma de data mining "open source"sobre os dados referentes ao desempenho dos alunos de graduação, sendo criados os componentes necessários à recolha dos dados necessários.

Requisitos

Disciplinas Obrigatórias: Aprendizagem, Base de Dados.

Local

Este trabalho será realizado no INESC-ID, no grupo ALGOS

Contactos

Prof. Arlindo Oliveira (aml@inesc-id.pt)   Tel: 213100228
IST/INESC-ID,   R. Alves Redol N. 9, 1000 Lisboa

Sistema de inferência de comportamentos de clientes

Objectivo

Criação de um sistema de inferência de comportamentos baseado em tecnologia de Data Mining Oracle.

Descrição

Neste trabalho será desenvolvido um sistema de inferência de comportamentos de clientes baseado em tecnologias de Data Mining Oracle. Para tal, será usada uma base de dados relacional com dados da área das telecomunicações, e será implementado um protótipo de demonstração de um sistema de previsão de comportamento de clientes baseado em ferramentas de inferência disponíveis na versão 10i do Oracle. Em particular, serão desenvolvidos modelos para inferência do risco de crédito e de risco de churn.
O desenvolvimento do sistema inclui a aplicação de algoritmos de aprendizagem automática (Support Vector Machines, Naive Bayes, Árvores de Decisão), e o desenvolvimento de uma interface de demonstração, suportada em tecnologia a definir no decorrer do trabalho.

Requisitos

Disciplinas Obrigatórias: Aprendizagem, Base de Dados.

Referências

Observações

Em colaboração com LINK Consulting.
Recursos computacionais e licenças de software disponibilizadas pela LINK Consulting.

Contactos

Prof. Arlindo Oliveira (aml@inesc-id.pt) Tel: 213100228
IST/INESC-ID, R. Alves Redol N. 9, 1000 Lisboa

Síntese de circuitos (data-path) partindo de C

Enquadramento

A síntese de circuitos a partir de uma linguagem de programação é hoje possível utilizando a linguagem VHDL. No entanto, muitos algoritmos encontra-se implementados em C, pelo que o desenvolvimento ferramentas e de técnicas que permitam mapear algoritmos de C (mesmo que com restrições) em VHDL sintetizável é desejável.

Objectivo

Desenvolver uma ferramenta que a partir de um algoritmo em C obtenha uma descrição em VHDL sintetizável satisfazendo um conjunto pré-definidos de restrições.

Descrição

Neste trabalho pretende-se usar a informação gerada pelos estágios intermédios do compilador gcc da GNU (formato de 3 endereços RTX) para determinar o grafo de controlo de fluxo e grafo de dependência de dados. A partir deste último pretende-se obter de forma automática a uma descrição em VHDL sintetizável do circuito. Esta descrição deve realizar as operações pretendidas e simultaneamente satisfazer um conjunto de restrições (por exemplo, número e tipo de operadores a usar, número máximo de ciclos de relógio, etc).

Requisitos

Ter conhecimento da linguagem de descrição de circuitos VHDL. Saber programar em C ou C++.

Referências

- Artigo: A Tool for Mapping a C Description into a Hardware Configuration using VHDL at RTL (http://matrix.inesc-id.pt/p̃ff/tfc04/anton-dcis98.pdf)

- Using and Porting GNU CC
http://www.delorie.com/gnu/docs/gcc/gcc_toc.html

- lp_solve:
http://www.cs.sunysb.edu/˜algorith/implement/lpsolve/implement.shtml

Resultado esperado

Estudo do compilador da GNU (gcc) para obter a informação sobre o programa em C. Desenvolvimento de um algoritmo e ferramenta para, a partir da informação obtida pelo compilador e das restrições de hardware, gerar código VHDL sintetizável para o data-path do circuito.

Local

Este trabalho será realizado no INESC-ID, no grupo ALGOS

Contactos

Prof. Paulo Flores (pff@inesc-id.pt) Tel: 213100399
IST/INESC-ID, R. Alves Redol N. 9, 1000 Lisboa

Implementação em Hardware do algoritmo MD5

Enquadramento

O algoritmo MD5 é um dos mais utilizados na geração de *hashes* seguras, em particular no standard de autenticação de mensagens na Internet. A sua utilização permite uma relação "única" entre a mensagem original e o valor de *hash*, que pode ser encarado como uma assinatura digital da mensagem. Assim, é possível substituir a autenticação de uma grande mensagem ou documento pela autenticação de um pequeno valor de *hash*.
Assegurar a integridade e autenticação de dado são serviços essenciais para a realização de transacções financeiras, comercio electrónico, distribuição de *software*, comunicações electrónicas, etc.

Objectivo

Descrever em VHDL o algoritmo MD5 para ser sintetizado e implementado numa FPGA. Desenvolver várias arquitecturas possíveis para a implementação do algoritmo MD5 e estudar/analisar as suas diferentes características e desempenhos.

Descrição

O MD5 é um algoritmo para obter *hash* de mensagens desenvolvido por Ron Rivest no MIT. O algoritmo aceita como entrada uma mensagem de tamanho arbitrário e produz como saída 128 bits (4 palavras de 32 bits) que representam um valor de *hash* da mensagem de entrada e que pode ser encarado como uma assinatura digital da mensagem.
As operações do algoritmo MD5 para obter os 128 bits de *hash* são realizadas em sub-blocos de 512 bits. O resultado do *hash* depende não só dos dados dos do sub-bloco com também do resultado de *hash* obtido para o sub-bloco anterior. Assim, a arquitectura a desenvolver não pode ser totalemente paralelizada pelo *hardware*. Cada passo do algoritmo MD5 envolve 4 somas, 3 operações lógicas, 2 leituras de valores tabelados e 1 rotação. As arquitecturas a desenvolver devem implementar estas operações permitindo diferentes tipos de desempenho.

Requisitos

Ter conhecimento da linguagem de descrição de circuitos VHDL.

Referências

- The MD5 Message-Digest Algorithm (RFC1321)
  http://www.jura.ch/lcp/cours/dm/codage/moderne/rfc1321.html

- FPGA Implrementation of MD5 HASH algorithm
  http://matrix.inesc-id.pt/~pff/tfc04/md5-fpga.pdf
- CAST MD5 Xilinx Core Datasheet
  http://matrix.inesc-id.pt/~pff/tfc04/md5-cast.pdf

Resultado esperado

Estudo de várias arquitecturas alternativas para implementar o algoritmo MD5. A descrição em VHDL sintetizável do algoritmo MD5 (com várias arquitecturas alternativas). Implementação do algoritmo numa FPGA e verificação do seu correcto funcionamento.

Local

Este trabalho será realizado no INESC-ID, no grupo ALGOS

Contactos

Prof. Paulo Flores (pff@inesc-id.pt) Tel: 213100399
IST/INESC-ID, R. Alves Redol N. 9, 1000 Lisboa

Compilador de C para Assembly do Processador P3

Enquadramento

O processador P3 é utilizado nas disciplinas de introdução às arquitecturas de computadores, quer da LEIC quer da LEEC, como exemplo ilustrativo do funcionamento interno de um processador. Este processador foi desenvolvido por docentes da disciplina e faz parte de um livro de texto em fase final de escrita que se espera venha a ter grande aceitação. A arquitectura do conjunto de instruções (ISA) do P3 é muito simples.

Objectivo

O resultado deste trabalho deverá ser um compilador para a linguagem C que gere Assembly para o micro-processador P3.

Descrição

Para este trabalho poderá ser usado o frontend do GNU gcc, que faz já o parsing do programa em C e faz algumas optimizações, gerando uma estrutura de dados intermédia. Será necessário estudar o funcionamento deste frontend e desenvolver a parte de backend, que envolve a geração de código propriamente dita.

Requisitos

Referências

- Manual do P3
  http://algos.inesc-id.pt/~jcm/tfc/manualP3.pdf
- Using and Porting GNU CC
  http://www.delorie.com/gnu/docs/gcc/gcc_toc.html

Resultado esperado

Um compilador da linguagem C para o Assembly do micro-processador P3.

Local

Este trabalho será realizado no INESC-ID, no grupo ALGOS

Contactos

Prof. Paulo Flores (pff@inesc-id.pt) Tel: 213100399
Prof. José C. Monterio (jcm@inesc-id.pt) Tel: 213100283

IST/INESC-ID, R. Alves Redol N. 9, 1000 Lisboa

Verificação da especificação paramétrica de circuitos eléctricos

Enquadramento

Este trabalho enquadra-se numa cooperação informal com uma empresa nacional de projecto de circuitos e sistemas electrónicos, com o objectivo de simplificar o processo de análise de resultados de simulação feitas a um circuito.

Objectivo

Desenvolver uma ferramenta de pós-processamento para analisar os resultados de simulações eléctricas de circuitos utilizando um simulador tipo Spice.

Descrição

Desenvolver uma ferramenta para processar um enorme volume de dados resultantes da simulação eléctrica de um circuito com variações em factores que alteram o seu funcionamento (por exemplo, VDD, temperatura, etc). Esta ferramenta deve permitir verificar se determinados parâmetros do circuito (por exemplo, ganhos, tensões de polarização, etc) satisfazem as especificações de funcionamento.
A ferramenta deve também reconhecer padrões de sub-circuitos básicos (através de uma análise inteligente do circuito global) e gerar automaticamente relatórios adequados, sob a forma de tabelas e/ou gráficos, que evidenciem a varição dos paramentos dos sub-circuitos que estiverem a ser analisados.

Requisitos

Conhecimentos sobre a utilização do simulador eléctrico Spice.

Referências

- A Brief User's Guide to Hspice
  http://www.seas.upenn.edu/~ee562/hspice.html

Resultado esperado

Ambiente, ferramenta ou conjunto de ferramentas que extraiam dos resultados de muitas simulações, resultante das varições de vários paramentos, informações relevante sobre o funcionamento do circuito e as disponibilizem de forma adequada ao projectista. Algoritmo para reconhecimeto de sub-circuitos básicos.

Local

Este trabalho será realizado no INESC-ID, no grupo ALGOS

Contactos

Prof. Paulo Flores (pff@inesc-id.pt) Tel: 213100399
IST/INESC-ID, R. Alves Redol N. 9, 1000 Lisboa

Simulador de Circuitos Persistente

Enquadramento

Este trabalho enquadra-se numa cooperação informal com uma empresa nacional de projecto de circuitos e sistemas electrónicos, pretendendo-se estudar formas de acelerar o ciclo de optimização no projectos desses circuitos.
No processo de optimização das características, da topologia ou do desempenho de um circuito eléctrico é por vezes necessário efectuar dezenas ou centenas de simulações de um mesmo circuito, efectuando apenas pequenas alterações ao mesmo. Desta forma efectuam-se inúmeras simulações em que se alteram apenas pequenas características do circuito, como sejam as dimensões de alguns transistores, mantendo-se o resto do circuito inalterado entre simulações. Este processo é naturalmente moroso dado o grande número de alternativas a testar. No entanto a situação agrava-se dado que em cada simulação o simulador necessita de reler o circuito, construir uma descrição interna do mesmo, e criar as estruturas de dados necessárias para levar a cabo a simulação. Infelizmente as ferramentas actualmente existentes não prevêm esta possibilidade não existindo sequer grande trabalho realizado nesse sentido.

Objectivo

Alterar o processo de controlo de simulação de um simulador tipo Spice de forma a manter a informação do circuito em memória e possibilitar novas simulações com variações de parâmetros.

Descrição

Pretende-se estudar a possibilidade de acelerar o processo de simulação por alteração do ambiente de simulação ou introduzindo modificações internas na estrutura de um simulador de forma a evitar a leitura de nova descrição e permitir apenas a alteração incremental dos parâmetros alterados. Outra possibilidade a explorar é a de optimizar as bibliotecas de circuitos contendo informação tecnológica das *foundries* de forma a restringir as mesmas apenas aos dados necessários para cada circuito.

Requisitos

Conhecimentos sobre a utilização do simulador eléctrico Spice e interesse no projecto de circuitos electrónicos.

Resultado esperado

Ambiente, ferramenta ou conjunto de ferramentas que implementem persistencia num simulador electrico.

Referências

- SPICE - a brief overview
  http://www.seas.upenn.edu/ jan/spice/spice.overview.html
- A Brief User's Guide to Hspice
  http://www.seas.upenn.edu/~ee562/hspice.html

Observações

Trabalho a efectuar possivelmente em colaboração com uma grande empresa nacional de projecto em Electrónica.

Contactos

Prof. Luís Miguel Silveira (lms@inesc-id.pt) Tel: 213100337
IST/INESC-ID, Rua Alves Redol, 9, 1000-029 Lisboa

Geração Automática de Modelos por Técnicas de Aprendizagem

Enquadramento

Este trabalho enquadra-se num projecto de investigação realizado em colaboração com a empresa Cadence Design Systems, uma das maiores empresas mundiais na área de ferramentas de projecto em Electrónica.
O constante avanço tecnológico permite projectar circuitos e sistemas electrónicos com uma funcionalidade e complexidade crescentes. O projecto desses sistemas processa-se numa sequência de fases através das quais a funcionalidade do sistema vai sendo verificada e o nível de detalhe do projecto vai aumentando. Nesta metodologia, usualmente denominada por top-down, os níveis de maior detalhe correspondem à implantação física do circuito ou à sua descrição a nível eléctrico. Estas descrições são no entanto demasiados complexas para permitir a análise de sistemas completos. É assim necessário construir modelos de módulos ou subsistemas que encapsulem a sua funcionalidade e permitem a análise a níveis superiores. Dado que muitas vezes, por razões de eficiência, os projectistas querem reutilizar módulos anteriormente projectados e testados (por exemplo de um projecto anterior), seria de grande utilidade poder caracterizar esses módulos directamente e construir modelos abstractos do seu comportamento. Esses modelos poderiam ser então utilizados nos níveis superiores de projecto.

Objectivo

Pretende-se investigar técnicas de Aprendizagem automáticas para a geração automáticas de macromodelos de sistemas e circuitos electrónicos.

Descrição

Neste trabalho pretende-se investigar a possibilidade de utilização de técnicas de aprendizagem automática para a geração automáticas de macromodelos de sistemas. A partir de dados obtidos por simulação do comportamento dos sistemas, pretendem-se avaliar o potencial das técnicas de aprendizagem, nomeadamente de *Support Vector Machines* ou Redes Neuronais, para a geração de macromodelos de comportamento. Pretende-se avaliar a capacidade destas técnicas de gerar modelos parametrizáveis em situações que envolvem um reduzido reduzido número de parâmetros e também em situações envolvendo muitos parâmetros. Pretende igualmente aferir-se automáticamente da qualidade dos modelos gerados.

Requisitos

Conhecimentos básicos de técnicas de Aprendizagem.

Resultado esperado

Ambiente, ferramenta ou conjunto de ferramentas que permitam avaliar a capacidade de técnicas de aprendizagem na geração automática de modelos de subsistemas.

Referências

- The R Project for Statistical Computing
  http://www.r-project.org/
- LIBSVM – A Library for Support Vector Machines
  http://www.csie.ntu.edu.tw/ cjlin/libsvm/
- Introduction to Support Vector Machine (SVM)
  http://www.datalab.uci.edu/people/xge/svm/node2.html

Observações

Contactos

Prof. Luís Miguel Silveira (`lms@inesc-id.pt`) Tel: 213100337
IST/INESC-ID, Rua Alves Redol, 9, 1000-029 Lisboa

SLIP - Previsão de Interligações ao Nível de Sistema

Enquadramento

Dada a complexidade dos sistemas electrónicos actualmente fabricados e as velocidades de processamento e transmissão, grande parte da área ocupada por um sistema electrónico, é utilizada para ligar blocos que efectuam diversos tipos de processamento e controlo. Nalguns casos estas interligações podem ser relativamente longas, podendo afectar a propagação dos sinais através da adição de atrasos imprevistos ou outro tipo de efeitos. Tal facto pode conduzir a limitações na velocidade de processamento bem como conduzir a situações de acoplamentos indesejáveis ou degradação dos níveis de sinal, induzindo erros. A detecção destes problemas nas fases iniciais de um projecto permite a sua fácil e rápida correcção ou mesmo alteração das especificações de cada bloco funcional interveniente. Se no entanto estes problemas passarem despercebidos nas fases iniciais do projecto, a situação complica-se pois a sua detecção em fases posteriores do projecto torna-se mais complexa, podendo mesmo não ser detectados com as óbvias consequências negativas que daí poderiam advir. A previsão de interligações ao nível de sistema torna-se assim crucial para a viabilidade e correcção de um projecto.

Objectivo

Pretendem-se estudar e desenvolver algoritmos para a previsão das Interligações e dos seus efeitos no projecto ao nível de sistema.

Descrição

Pretende-se neste trabalho estudar e desenvolver algoritmos que permitam a um projectista, na fase inicial de um projecto de um sistema electrónico, prever de forma eficiente e rigorosa o efeito das interligações do mesmo no seu desempenho. O trabalho compreende várias tarefas:

- Análise do estado da arte no campo, nomeadamente estudo dos efeitos das interligações no desempenho de sistemas complexos.
- Análise dos ambientes de projectos ao nível de sistema e suas capacidades e necessidades.
- Definição de modelos dos efeitos das interligações e análise da sua precisão e eficiência em termos da sua capacidade de modelar a funcionalidade e caracteristicas de um projecto baseado em informação incompleta.

- Definição de algoritmos de previsão dos efeitos das interligações baseados nos modelos anteriormente desenvolvidos e sua análise em casos concretos de utilizaçao.
- Definição de métricas que permitam aquilatar da qualidade das previsões, da precisão do processo e da sua eficiência computacional.

Requisitos

Resultado esperado

Referências

Observações

Contactos

Prof. Luís Miguel Silveira (lms@inesc-id.pt) Tel: 213100337
IST/INESC-ID, Rua Alves Redol, 9, 1000-029 Lisboa

Reduce - Redução de informação de elementos parasitas extraídos após-Layout

Enquadramento

A complexidade da verificação via simulação de circuitos electrónicos é dominada por dois componentes: a avaliação das equações constitutivas dos dispositivos intervenientes e a computação subsequente da solução do circuito. Em circuitos genéricos, a avaliação dos dispositivos ocupa cerca de 80 a 90% do tempo total de computação sendo por isso o factor computacionalmente mais problemático em termos da verificação de circuitos de elevada complexidade. Num contexto pós-layout, em que além da informação topológica do circuito há que contar com a a introdução de inumeros elementos parasitas resultantes da extracção de baixo nível efectuada, o equlibrio anterior muda substancialmente. Para netlists contendo elementos parasitas extraídos do layout o custo da obtenção de uma solução para o circuit aumenta para cerca de 80-85% do custo total. Esta inversão da situação original é causada pelo elevado número de elementos parasitas extraídos pelas ferramentas automatizadas actualmente utilizadas e cuja presença é necessária ter em conta para uma verificação precisa do funcionamento dos sistemas. Este problema limita substancialmente a capacidade dos sistemas de verificação actualmente utilizados, impossibilitando por vezes a verificação de circuitos de médio e grande porte.

Objectivo

Pretendem-se estudar e desenvolver algoritmos eficientes para permitir a redução da informação obtida por extracção após layout de um circuito integrado, mantendo a precisão da descrição.

Descrição

Neste trabalho pretendem-se estudar formas de reduzir a quantidade de informação obtida no processo de extracção, mantendo a precisão do resultado final dentro de limites aceitáveis.
O trabalho compreende várias tarefas:

- Análise das características topológicas e eléctricas da informação obtida após layout tendo em vista a sua redução.
- Estudo e análise comparativo dos algoritmos existentes para obtençào de modelos reduzidos de informação obtida por extracção de elemtnos parasitas.

- Desenvolvimento de algoritmos que permitam a redução de ordem de modelos de acoplamentos parasitas¸especialmente tendo em conta as elevadas velocidades de operação dos circuitos actualmente produzidas.
- Desenvolvimento de um protótipo de uma ferramentea capaz de reduzir a dimensão da informação respeitante a elementos parasitas mantendo uma precisão controlável.
- Incorporação da ferramenta num ambiente de projecto standard.

Requisitos

Resultado esperado

Algoritmo e Ferramenta para compressão da informação relativa à descrição de elementos parasitas extraídos do layout de um circuito electrónico.

Referências

Observações

Apesar do contexto electrónico do problema não há neste trabalho nenhuma manipulação ou análise ao nível electrónico. Trata-se fundamentalmente neste trabalho de procurar uma solução algoritmica para o problema de redução da quantidade de informação existente após extracção. A precisão da redução¸ou seja do sistema após redução da informação será avalidada por um simulador ou outra ferramenta de verificação já existente.

Contactos

Prof. Luís Miguel Silveira (lms@inesc-id.pt) Tel: 213100337
IST/INESC-ID, Rua Alves Redol, 9, 1000-029 Lisboa

GRID - Desenvolvimento de Aplicações em Grid Computing

Enquadramento

Nos últimos anos, um novo conceito ou paradigma em computação distribuida tem conhecido interesse crescente para a resolução de problemas computacionalmente muito exigentes: grid computing. Determinados problemas possuem solução computacional que apenas é possível de efectuar em máquinas de grande capacidade e elevado custo. Actualmente a proliferação da utilização de computadores para as mais variadas tarefas leva à existência de elevado número de meios computacionais de capacidade apreciável, ligados em rede, muitas vezes geograficamente dispersas. Grande parte destas máquinas estão sub-aproveitadas em termos da sua capacidade computacional, limitando-se a sua utilização a simples tarefas mundanas de edição de texto e/ou imagem. A possibilidade de utilizar estes meios dispersos, de forma coordenada para a resolução de um problema único que exiga elevados recursos assume-se assim como uma solução eficiente e de baixo custo. Existem já hoje no mercado ambientes para ligação de vários destes recursos em grelha (grid), suportados pelos grandes fabricantes (IBM, Sun, HP, etc) interessados em mais uma utilização possível para as suas máquinas de uso comum.

Objectivo

Pretende-se analisar o desempenho de aplicações computacionalmente exigentes num ambiente de Grid Computing.

Descrição

Neste trabalho pretende-se estudar um ambiente de grid computing e utilizá-lo para analisar a eficiência deste paradigma na resolução de problemas computacionalmente exigentes.
O trabalho compreende várias tarefas:

- Análise dos principais ambientes de funcionamento em grid computing existentes no mercado, nomeadamente em termos da sua disponibilidade, caracteristicas e ferramentas auxiliares de desenvolvimento. Escolha de um ambiente e instalação do mesmo.

- Definição de uma aplicação alvo a ser desenvolvida no ambiente escolhido. Estudos dos requisitos de computação da aplicação e de algoritmos para a paralelização da mesma.

- Análise do desempenho da aplicação em ambiente de grid computing, quando comparado com implementações usuais em ambientes tradicionais de processamento.

Requisitos

Resultado esperado

Implementação de vários algoritmos, computacionalmente pesados, num ambiente de Grid Computing.

Referências

Observações

Contactos

Prof. Luís Miguel Silveira (lms@inesc-id.pt) Tel: 213100337
IST/INESC-ID, Rua Alves Redol, 9, 1000-029 Lisboa

Compilador de C para Assembly do Processador P3

Objectivo

O resultado deste trabalho deverá ser um compilador para a linguagem C que gere Assembly para o micro-processador P3.

Descrição

O processador P3 é utilizado nas disciplinas de introdução às arquitecturas de computadores, quer da LEIC quer da LEEC, como exemplo ilustrativo do funcionamento interno de um processador. Este processador foi desenvolvido por docentes da disciplina e faz parte de um livro de texto em fase final de escrita que se espera venha a ter grande aceitação. A arquitectura do conjunto de instruções (ISA) do P3 é muito simples.

Para este trabalho poderá ser usado o frontend do GNU gcc, que faz já o parsing do programa em C e faz algumas optimizações, gerando uma estrutura de dados intermédia. Será necessário estudar o funcionamento deste frontend e desenvolver a parte de backend, que envolve a geração de código propriamente dita.

Referências

- Manual do P3
  http://algos.inesc-id.pt/~jcm/tfc/manualP3.pdf
- Using and Porting GNU CC
  http://www.delorie.com/gnu/docs/gcc/gcc_toc.html

Local

Este trabalho será realizado no INESC-ID, no grupo ALGOS

Contactos

Prof. Paulo Flores (pff@inesc-id.pt) Tel: 213100399
Prof. José C. Monteiro (jcm@inesc-id.pt) Tel: 213100283

IST/INESC-ID, R. Alves Redol N. 9, 1000 Lisboa

Metodologia de Programação para Baixo Consumo

Objectivo

Desenvolvimento de uma metodologia de programação tendo como objectivo a minimização do consumo de energia.

Descrição

O consumo de energia é cada vez mais um parâmetro fundamental a ter em conta no desenvolvimento de sistemas electrónicos, particularmente no caso dos sistemas portáteis. A componente de software destes sistemas é cada vez maior. Assim, o estudo de técnicas de programação que minimizem o consumo de energia no sistema assume uma importância crescente.
Neste trabalho pretende-se analisar o consumo de diferentes programas nos componentes do sistema mais próximos do processador, nomeadamente, no processador propriamente dito, na cache, na memória primária e nos barramentos que interligam estes componentes. Está já disponível um estimador para este efeito. O objectivo é experimentar diferentes abordagem para a programação de diferentes sistemas e extrair um conjunto de regras que, a serem seguidas pelos programadores, permitam minimizar o consumo do software a ser desenvolvido.

Referências

- estimador: relatório
- D. Brooks, V. Tiwari, and M. Martonosi
  "Wattch: A framework for architectural-level power analysis and optimizations"
  in Proc. Annual Int. Symp. Computer Architecture, Junho 2000.

Local

Este trabalho será realizado no INESC-ID, no grupo ALGOS

Contactos

Prof. José C. Monteiro (jcm@inesc-id.pt) Tel: 213100283
IST/INESC-ID, R. Alves Redol N. 9, 1000 Lisboa

Modelo de Consumo de Energia baseado em Programação Genética Paralela

Objectivo

Desenvolvimento de uma metodologia para a obtenção de modelos simplificados para o consumo de energia de componentes de sistemas digitais.

Descrição

O consumo de energia é cada vez mais um parâmetro fundamental no desenvolvimento de sistemas digitais, criando a necessidade de ferramentas que permitam estimar eficientemente o consumo do sistema.
Este processo de estimação pode ser realizado a diferentes níveis de abstracção. Embora a fiabilidade seja maior para níveis mais baixos, a complexidade de estimação é significativamente maior. Por outro lado, quanto mais cedo o projectista tiver uma boa estimativa do consumo melhor, pois permite eventuais correcções mais cedo.
Neste trabalho o que se pretende é desenvolver modelos de consumo de componentes digitais complexos a partir de informação obtida ao nível de porta lógica. Esta informação consistirá num conjunto de valores de potência desse componente para um conjunto de valores das entradas. Pretende-se que este conjunto de ponto cobra de forma uniforme o espaço de n dimensões das entradas. O objectivo é utilizar programação genética para obter uma expressão de n variáveis para a potência. Uma vez obtida esta expressão, já não será necessário fazer a estimação a nível lógico, bastará calcular esta expressão, processo significativamente mais simples!
De forma a que seja possível interligar vários componentes, também deverão ser obtidas expressões semelhantes para as saídas dos componentes, permitindo a propagação de valores de um módulo para outro.
Os métodos baseados em programação genética têm sido alvo de intensa utilização por se ter demonstrado a sua eficiência, nomeadamente em problemas de elevada dimensão. Pretende-se verificar a sua eficiência neste caso concreto da modelação do consumo de energia. Para melhorar o desempenho, propõe-se uma implementação paralela deste algoritmo, sobre um conjunto de computadores ligados em grid.

Referências

- Macromodelos: artigo
- Programação genética: apresentação, sítio Web

Local

Este trabalho será realizado no INESC-ID, no grupo ALGOS

Contactos

Prof. José C. Monteiro (jcm@inesc-id.pt) Tel: 213100283
IST/INESC-ID, R. Alves Redol N. 9, 1000 Lisboa

Jogo Distribuído para Sistemas Móveis

Objectivo

Pretende-se neste trabalho desenvolver, em Java e para um telemóvel, um jogo multi- jogador.

Descrição

O jogo consiste num labirinto com uma área grande, sendo o display do telemóvel uma janela desse labirinto centrada na posição do jogador. Para além dos jogadores, no labirinto existirão tesouros, em posições fixas, e monstros, que se movimentam pelo labirinto. O objectivo do jogo é apanhar o maior número de tesouros sem ser apanhado por um monstro ou por outro jogador.
No início do jogo deverá ser possível convidar outros jogadores a participar. Cada jogador deverá ver no seu telemóvel uma janela do labirinto centrada na sua posição, indicando os outros jogadores que apareçam dentro dessa janela. O mesmo se aplica aos monstros e tesouros. A comunicação entre telemóveis para permitir esta sincronização deverá ser realizada por GPRS.
O jogo deverá ser configurável, nomeadamente, ser possível definir no início de cada jogo:

- a dimensão do labirinto
- o número de andares do labirinto
- o número de tesouros
- o número máximo de jogadores
- o número de monstros
- a velocidade dos monstros

Referências

- Motorola Developer
- Nokia Developer
- Java

Local

Este trabalho será realizado no INESC-ID, no grupo ALGOS

Contactos

Eng. José C. Costa (jccc@algos.inesc-id.pt) Tel: 213100260
Prof. José C. Monteiro (jcm@inesc-id.pt) Tel: 213100283

IST/INESC-ID, R. Alves Redol N. 9, 1000 Lisboa

Técnicas de Compressão de Rastos de Programas

Objectivo

Desenvolver uma ferramenta que permita extrair um conjunto de estatísticas de um rasto de execução de um programa num processador. Esta ferramenta deverá depois ser comprimir o rasto original e ser capaz de gerar um rasto com uma dimensão muito reduzida, mas que aproxime o melhor possível alguns parâmetros estatísticos do rasto original.

Descrição

A execução de um programa num processador gera uma sequência (ou rasto) de acessos a diferentes barramentos do sistema. Na forma mais simples, apenas existirão um barramento de dados e um barramento de endereços. O rasto no barramento de dados corresponderá à sequência de valores de dados ou códigos de instruções lidas da memória. No barramento de endereços, o rasto consistirá na sequência de endereços de memória acedidos.
Estes rastos podem ser utilizados para diversos fins. No caso deste trabalho, o interesse dos rastos reside na análise do consumo de energia do sistema. Acontece que, para um programa minimamente interessante, a dimensão destes rastos é muito elevada, tornando o processo de estimação do consumo por vezes demasiado moroso.
Pretende-se neste trabalho desenvolver algoritmos que permitam a geração de um rasto de dimensão significativamente inferior que a original, mas que o comprima de forma a aproximar o melhor possível um conjunto de propriedades estatísticas relevantes ao consumo de energia.

Referências

- Stream-based Compression
- Trace Compression

Local

Este trabalho será realizado no INESC-ID, no grupo ALGOS

Contactos

Prof. José C. Monteiro (jcm@inesc-id.pt) Tel: 213100283
IST/INESC-ID, R. Alves Redol N. 9, 1000 Lisboa

Simulador de Sistemas baseados em MicroProcessadores

Objectivo

O resultado deste trabalho será um sistema computacional baseado em microprocessador constituído por componentes descritos em Java. O objectivo é que o sistema seja facilmente reconfigurável, quer por substituição de componentes, quer pela parametrização. Pretende-se que dois dos componentes a desenvolver sejam dois processadores diferentes, um CISC e um RISC.

Descrição

O processador P3 é utilizado nas disciplinas de introdução às arquitecturas de computadores, quer da LEIC quer da LEEC, como exemplo ilustrativo do funcionamento interno de um processador. Este processador foi desenvolvido por docentes da disciplina e faz parte de um livro de texto em fase final de escrita que se espera venha a ter grande aceitação.
Embora exista um simulador para o processador P3, este tem limitações. Neste trabalho, pretende-se desenvolver um novo simulador que colmate essas limitações:

- baseado em Java, para maior portabilidade
- permitindo a interligação fácil do processador a outros componentes, nomeadamente periféricos e elementos de memória
- dispondo de componentes facilmente configuráveis

Este trabalho deverá ser desenvolvido sobre o sistema Hades. Este sistema permite desenhar graficamente sistemas digitais a partir de componentes. A funcionalidade destes componentes pode ser descrita em Java (a qualquer nível de abstracção e complexidade) ou obtida através da interligação de outros componentes.
Para além do componente P3, deverão ficar disponíveis um conjunto de outros componentes, em que se incluem:

- um processador MIPS (do livro Computer Architecture: A Quantitative Approach)
- um elemento cache, com uma parametrização que permita modelar qualquer tipo de cache
- um elemento de memória primária
- um elemento que simule a memória secundária (disco)

Referências

- P3: manual do simulador, capítulo do livro
- MIPS: Computer Architecture: A Quantitative Approach, John Hennessy e David Patterson, Elsevier.
- Sistema Hades: sítio na Web, apresentação do sistema

Local

Este trabalho será realizado no INESC-ID, no grupo ALGOS

Contactos

Prof. José C. Monteiro (jcm@inesc-id.pt) Tel: 213100283
IST/INESC-ID, R. Alves Redol N. 9, 1000 Lisboa